

58  
7

PCT/JP 97/02405

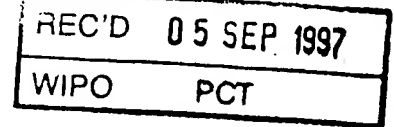
日 本 国 特 許 庁 10.07.97

PATENT OFFICE  
JAPANESE GOVERNMENT

09/029608 3

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出 願 年 月 日

Date of Application:

1997年 7月 7日

出 願 番 号

Application Number:

平成 9年特許願第181132号

出 願 人

Applicant(s):

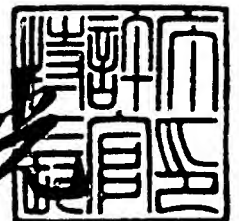
富士通株式会社

PRIORITY DOCUMENT

1997年 8月22日

特 許 庁 長 官  
Commissioner,  
Patent Office

荒井寿光



【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 深澤 則雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 河西 純一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

徴とする半導体装置。

【請求項 9】 金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、

前記電極板に半導体素子を搭載し電氣的に接続するチップ搭載工程と、

前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、

個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、

前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 9 または 10 記載の半導体装置の製造方法において、

前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 9 または 11 のいずれかに記載の半導体装置の製造方法において、

前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、

前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 9 または 12 のいずれかに記載の半導体装置の製造方法において、

前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、

前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 1 乃至 8 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

【請求項18】 請求項17記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とする半導体装置。

【請求項19】 請求項17記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とする半導体装置。

【請求項20】 請求項17乃至19のいずれかに記載の半導体装置において、

前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とする半導体装置。

【請求項21】 請求項17乃至20のいずれかに記載の半導体装置において、

前記インタポーザとしてTAB (Tape Automated Bonding)テープを用いたことを特徴とする半導体装置。

【請求項22】 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体と前記インタポーザとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と

により構成されることを特徴とする半導体装置。

【請求項29】 請求項28記載の半導体装置において、

前記位置決め部材は、可撓性部材により形成されていることを特徴とする半導体装置。

【請求項30】 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体または前記インタポーザの少なくとも一方に導電性部材を配設する導電性部材配設工程と、

前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法及びその実装構造に係り、特にチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実装構造に関する。

近年、電子機器及び装置の小型化の要求に伴い、半導体装置の小型化、高密度化が図られている。このため、半導体装置の形状を半導体素子（チップ）に極力近づけることにより小型化を図った、いわゆるチップサイズパッケージ構造の半導体装置が提案されている。

基板 5 に配設されるため強度的に弱く、よって信頼性が低下してしまうという問題点があった。

また、突起電極 4 は半導体素子 2 の下面に形成された電極パッドに直接形成された構成であったため、電極パッドのレイアウトがそのまま突起電極 4 の端子レイアウトとなってしまう。即ち、上記した半導体装置 1 では、その内部において配線の引回しができないため、外部接続端子となる突起電極 4 のレイアウトの自由度が低いという問題点があった。

【0007】

本発明は上記の点に鑑みてなされたものであり、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図りうる半導体装置及びその製造方法及びその実装構造を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の課題は、下記的手段を講じることにより解決することができる。

請求項 1 記載の発明に係る半導体装置では、

単数または複数の半導体素子と、

前記半導体素子の一部或いは全部を封止する封止樹脂と、

前記封止樹脂内に配設され、前記半導体素子と電氣的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とするものである。

【0009】

また、請求項 2 記載の発明では、

前記請求項 1 記載の半導体装置において、

前記半導体素子と前記電極板とをフリップチップ接合したことを特徴とするものである。

また、請求項 3 記載の発明では、

前記請求項 1 または 2 記載の半導体装置において、

前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことを特徴とするものである。

前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、

個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とするものである。

【0014】

また、請求項10記載の発明では、

前記請求項9記載の半導体装置の製造方法において、

前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とするものである。

また、請求項11記載の発明では、

前記請求項9または10記載の半導体装置の製造方法において、

前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とするものである。

【0015】

また、請求項12記載の発明では、

前記請求項9または11のいずれかに記載の半導体装置の製造方法において、

前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、

前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とするものである。

【0016】

また、請求項13記載の発明では、

前記請求項9または12のいずれかに記載の半導体装置の製造方法において、

前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、

前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とするものである。

【0017】

また、請求項14記載の発明では、

接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する異方性導電膜と、

前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【0021】

また、請求項18記載の発明では、

前記請求項17記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とするものである。

【0022】

また、請求項19記載の発明では、

前記請求項17記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とするものである。

【0023】

また、請求項20記載の発明では、

前記請求項17乃至19のいずれかに記載の半導体装置において、

前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とするものである。

また、請求項21記載の発明では、

前記請求項17乃至20のいずれかに記載の半導体装置では、

前記インタポーザとしてTAB (Tape Automated Bonding) テープを用いたことを特徴とするものである。

【0024】



また、請求項24記載の発明では、

前記請求項23記載の半導体装置において、

前記導電性部材は、導電性ペーストであることを特徴とするものである。

また、請求項25記載の発明では、

前記請求項23記載の半導体装置において、

前記導電性部材は、スタッドバンプであることを特徴とするものである。

【0027】

また、請求項26記載の発明では、

前記請求項23記載の半導体装置において、

前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とするものである。

【0028】

また、請求項27記載の発明では、

前記請求項26記載の半導体装置において、

少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成としたことを特徴とするものである。

また、請求項28記載の発明では、

前記請求項23記載の半導体装置において、

前記導電性部材は、

前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、

この接続ピンを位置決めする位置決め部材とにより構成されることを特徴とするものである。

【0029】

また、請求項29記載の発明では、

前記請求項28記載の半導体装置において、

前記位置決め部材は、可撓性部材により形成されていることを特徴とするもの

め、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができる。

【0032】

更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。

また、請求項2及び請求項11記載の発明によれば、

半導体素子と電極板とをフリップチップ接合したことにより、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に、多ピン化にも対応することができる。

【0033】

また、請求項3記載の発明によれば、

電極板を封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことにより、側面ばかりでなく底面においても実装を行なうことが可能となる。よって、半導体装置を実装する際、実装構造の自由度を向上させることができ、よって例えば小スペース化を図りうる実装形態であるフェイスダウンボンディングにも対応することが可能となる。

【0034】

また、請求項4記載の発明によれば、

電極板に突出形成された突出端子を封止樹脂の底面に露出させて外部接続端子を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができる。また、電極板の外部接続端子以外の部分は封止樹脂に埋設された構成となるため、隣接する外部端子はこの封止樹脂により絶縁される。このため、実装時にはんだにより隣接する外部接続端子間で短絡が発生するようなことはなく、実装時における信頼性を向上させることができる。

【0035】

また、請求項5記載の発明によれば、

突出端子を電極板を塑性加工することにより電極板に一体的に形成したことにより

可能となる。よって、設備の増加を伴うことなく、電極板形成工程を実施することが出来る。

【0039】

また、請求項12記載の発明によれば、

チップ搭載工程を実施する前に、半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施することにより、チップ搭載工程では放熱部材に位置決めされた状態で半導体素子を電極板に搭載される。

よって、チップ搭載工程において、個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよいため、位置決め処理を容易化することができる。

【0040】

また、請求項13記載の発明によれば、

電極板形成工程において、電極板より突出する突出端子を形成することにより、突起端子部の形成を電極板の形成と同時かつ一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、封止樹脂形成工程で、この突出端子が封止樹脂から露出するよう封止樹脂を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

【0041】

また、請求項14記載の発明によれば、

ソケットを用いて半導体装置を実装基板に接合するため、半導体装置の装着脱を容易にでき、例えばメンテナンス等において半導体装置を交換する必要が生じたような場合でも、容易に交換処理を行なうことができる。

また、ソケットに設けられたリード部は通常半導体装置が装着される装着部の側部に配設されており、また半導体装置の外部接続端子は封止樹脂の側面に露出した構成である。このため、装着状態においてリード部と外部接続端子とは対向するためリード部を引き回すことなくリード部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

【0042】

続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。

【0046】

また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて半導体装置本体とインタポーザとを接合することができる。この際、異方性導電膜の有する接着性により半導体装置本体とインタポーザは機械的に接合され、また異方性導電膜の有する異方性導電性により半導体装置本体とインタポーザは電氣的に接合（接続）される。このように、異方性導電膜は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。

【0047】

更に、異方性導電膜は可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この異方性導電膜は緩衝膜として機能する。よって、異方性導電膜により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

また、請求項18記載の発明によれば、

半導体装置本体に形成された突起電極の配設ピッチと、インタポーザに配設された外部接続端子の配設ピッチを同一ピッチとしたことにより、インタポーザの形状を小さくすることができ、半導体装置の小型化を図ることができる。

【0048】

また、請求項19記載の発明によれば、

半導体装置本体に形成された突起電極の配設ピッチに対し、インタポーザに配設された外部接続端子の配設ピッチを大きく設定したことにより、インタポーザ上における配線パターンの引回しの自由度を更に向上することができる。

また、請求項20記載の発明によれば、

インタポーザ上に、突起電極と対向する位置に孔を有する絶縁部材を配設したことにより、半導体装置本体をインタポーザに装着される際に印加される押圧力

更に、接着剤は固化した状態においても所定の可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この接着剤は緩衝膜として機能する。よって、接着剤により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

また、請求項24記載の発明によれば、

導電性部材として導電性ペーストを用いたことにより、単に導電性ペーストを半導体素子の突起電極またはインタポーザの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。また、導電性ペーストの塗布方法としては、周知の技術である転写法や印刷法を用いることができ、よって効率よく導電性部材の配設作業を行なうことができる。

【0053】

また、請求項25記載の発明によれば、

導電性部材をスタッドバンプにより構成したことにより、半導体素子の突起電極とインタポーザの配線パターンとはスタッドバンプを介して接合されることとなり、電氣的接続を確実に行なうことができる。

また、請求項26記載の発明によれば、

導電性部材を配線パターンと一体的に形成されると共に接着剤の配設位置を迂回して突起電極に接続するフライングリードにより構成したことにより、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電氣的接続の信頼性を向上させることができる。また、フライングリードはバネ性を有しているため、接続時にフライングリードはバネ力をもって突起電極に圧接する。よって、これによってもフライングリードと突起電極との電氣的接続の信頼性を向上させることができる。

【0054】

また、請求項27記載の発明によれば、

突起電極とフライングリードとの接続位置を樹脂封止したことにより、外力印加等によりフライングリードが変形することを防止でき、半導体装置の信頼性を向上させることができる。

であり、その実装面側には複数のバンプ電極 22 が形成されている。このバンプ電極 22 は、例えば半田ボールを転写法を用いて配設した構成とされており、電極板 14 にフリップチップ接合により接合されている。

【0059】

このように、半導体素子 12 と電極板 14 とをフリップチップ接合したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小スペース化することができ、半導体装置 10A の小型化を図ることができる。また、接合部分における配線長を短くすることができるため、インピーダンスを低減でき電気的特性の向上を図ることができる。更に、隣接するバンプ電極 22 間のピッチを狭ピッチ化できるため、多ピン化にも対応することができる。

【0060】

また、上記の電極板 14 はいわゆるインタポーザとして機能するものであり、例えば銅合金等の導電性金属により形成されている。この電極板 14 は、図 2 (A) に示されるように、所定のパターン形状を有した複数の金属板パターン 26 により構成されている（尚、後述するように、図 2 (A) はリードフレーム状態の電極板 14 を示している）。

【0061】

この金属板パターン 26 は、図中下面に半導体素子 12 のバンプ電極 22 が接合されると共に、図中上面である半導体素子 12 の配設面と異なる面に突出端子 18 が接合される。よって、金属板パターン 26 は、バンプ電極 22 と突出端子 18 とを電氣的に接続する機能を奏する。また、図 1 (B) に示されるように、金属板パターン 26 の端部は封止樹脂 16A の側面から露出し、側部端子 20 を形成している。

【0062】

突出端子 18 は、例えば半田よりなるボールバンプ（突起電極）であり、上記のように電極板 14 に接合されている。この突出端子 18 は、金属板パターン 26 を介して対応する既定のバンプ電極 22 に電氣的に接続される。

封止樹脂 16A は、半導体素子 12、電極板 14、及び突出端子 18 の一部を封止するよう形成されている。この封止樹脂 16A は、例えばポリイミド、エポ

【0067】

再び図1に戻り、半導体装置10Aの説明を続ける。

上記した封止樹脂16Aは、半導体素子12を覆うばかりではなく、電極板14の突出端子18が接合された面にも形成されている。このため、突出端子18は封止樹脂16Aにより保持する機能を奏する。よって、外力印加等により突出端子18が半導体装置10Aから離脱することを防止することができる。また、封止樹脂16Aは絶縁性を有しているため、突出端子18の配設密度が高い場合（即ち、狭ピッチ化された場合）であっても、実装時に隣接する突出端子18間で短絡が発生することを防止することができる。

【0068】

更に、突出端子18は、封止樹脂16Aが形成された状態において、封止樹脂16Aから突出するよう構成されている。このため、実装時に確実に突出端子18を実装基板32に接続することができ、また図11に示したように半導体装置10AをBGA(Ball Grid Array)と同様に取り扱うことができ、実装性の向上を図ることができる。ここで、半導体装置10Aに設けられた電極板14Aに注目する。

【0069】

前記のように電極板14Aは金属板であるため、この電極板14Aを半導体素子12を保護する封止樹脂16A内に設けることにより、電極板を封止樹脂16Aを補強する補強材として機能させることができる。これにより、半導体素子12の保護をより確実に行なうことができ、よって半導体装置10Aの信頼性を向上させることができる。

【0070】

また、電極板14Aは、外部接続端として機能する突出端子18及び側部端子20と、半導体素子12との間に位置するものである。このため、従来のように半導体素子に直接外部接続端を接続する構成と異なり、半導体装置10Aの内部において電極板14Aにより半導体素子12と突出端子18、側部端子20との間で配線の引回しを行なうことが可能となる。よって、電極板14を設けることにより、半導体装置12及び外部接続端子（突出端子18、側部端子20）の端

されている。この金属板パターン26は、上記のパターン成形処理において任意の配線パターンに設定するとができるため、電極板14Aにより配線の引回しを行なうことが可能となり、これにより電極板14Aに形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0075】

一方、図2(B)は、前記した電極板14A(リードフレーム24A)に搭載される半導体素子12(12A~12C)を示している。本実施例では、一つの電極板14Aに3個の半導体素子12A~12Cを搭載する構成とされている。また、各半導体素子12A~12Cには、夫々電極板14Aと電氣的に接続するためのバンプ電極22が配設されている。

【0076】

同図に示すように、半導体素子12A~12Cの大きさは、必ずしも同一である必要はない。また、各電極板14Aに形成された金属板パターン26は、各半導体装置12A~12Cに形成されたバンプ電極22の形成位置と対応するよう構成されている。

上記した電極板形成工程が終了すると、続いてチップ搭載工程が実施される。このチップ搭載工程では、電極板14Aに半導体素子12A~12Cを搭載し電氣的に接続する処理が行なわれる。図3(A)、(B)は、半導体素子12A~12Cが電極板14Aに搭載された状態を示している。

【0077】

本実施例では、半導体素子12A~12Cを電極板14Aに接合する手段として、直接バンプ電極22を電極板14Aに接合するフリップチップ接合法が採用されている。このフリップチップ接合法を用いることにより、前記したように半導体素子12A~12Cと電極板14Aとの接合エリアの小スペース化を図ることができると共に、接続インピーダンスの低減を図ることができる。

【0078】

上記したチップ搭載工程が終了すると、続いて突出端子形成工程が実施される。この突出端子形成工程は、電極板14Aを構成する金属板パターン26の所定位置に突起端子18を形成する。突起端子18は半田ボールにより構成されてお



露出することとなり側部端子20を形成する。よって、この側部端子20を外部接続端子として用いることができる。――

続いて、第2実施例に係る半導体装置10Bについて説明する。

【0083】

図6は、第2実施例に係る半導体装置10Bを説明するための図であり、図6(A)は半導体装置10Bの断面を、図6(B)は半導体装置10Bの底面を夫々示している。尚、図6において、図1を用いて説明した第1実施例に係る半導体装置10Aと同一構成については、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

【0084】

前記した第1実施例に係る半導体装置10Aは、電極板14Aに突起端子18を形成し、この突起端子18を封止樹脂16Aから露出させる構成としていた。これに対し、本実施例に係る半導体装置10Bは、突起端子18を設けることなく、電極板14Aを直接封止樹脂16Bから露出させたことを特徴とするものである。

【0085】

本実施例に係る半導体装置10Bは、突起端子18が設けられていないため、部品点数の削減及び製造工程の簡単化を図ることができる。また、電極板14Aは、封止樹脂16Bの側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の双方において実装を行なうことができる。

図13は、半導体装置10Bを実装基板32に実装した構造を示している。同図に示されるように、半導体装置10Bは実装基板32に半田36を用いてフェイスダウンボンディングされている。この際、半田36は、電極板14Aの底面部ばかりでなく、側部端子20にも回り込んで半田付けされている。

【0086】

また、本実施例に係る半導体装置10Bは、後述する第3実施例に係る半導体装置10Cと同様に側部端子20のみを用いて実装することも可能であり、よって実装構造の自由度を向上させることができる。

続いて、第3実施例に係る半導体装置10Cについて説明する。

部接続端子として機能させることができる。

【0090】

図17は、上記した半導体装置10Dを実装基板32に実装した状態を示している。同図に示されるように、半導体装置10Dは半田54を用いて実装基板32に実装されるが、この際突起状端子30は封止樹脂16Dの底面及び側面に露出した構成とされているため、半田54との接合面積を大きくすることができ、よって確実に突起状端子30を実装基板32に接続することができる。

【0091】

また、突起状端子30及び側部端子20を除き、電極板14Bは封止樹脂16Dに埋設された構成となるため、隣接する突起状端子30は封止樹脂16Dにより絶縁される。このため、実装時に半田54により隣接する突起状端子30間で短絡が発生するようなことはなく、実装の信頼性を向上させることができる。

図9及び図10は、第2実施例に係る半導体装置の製造方法を示しており、前記した半導体装置10Dの製造方法を示している。

【0092】

尚、本実施例に係る製造方法は、図2乃至図5を用いて説明した第1実施例に係る製造方法に対し、電極板形成工程、封止樹脂形成工程、及び切断工程のみが異なり他の工程は同一であるため、以下の説明では電極板形成工程についてのみの説明するものとする。

本実施例に係る電極板形成工程では、電極板14Bを有したリードフレーム24Bを形成する際、突起状端子30も一括的に塑性加工される。このように、電極板14Bを形成するため行なわれる切断加工と、突起状端子30を形成するため行なわれる塑性加工を一括的に実施するのは、リードフレーム24Bを形成する金型の構成を適宜設定することにより容易に実現することができる。

【0093】

図9は、電極板形成工程が実施されることにより形成されたリードフレーム24Bを示している。同図において、ハッチングで示される部分が突起状端子30であり、この突起状端子30は電極板14Bに対して突出した形状を有している。このように、本実施例によれば、突起状端子30の形成を電極板14Bの形成

合させる構造とすることにより、半導体装置 10A を BGA (Ball Grid Array) と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

また、突起端子 18 は電極板 14A に形成されるものであるため、その体積を大きくするには限界があるが、実装用バンプ 34 の体積は任意に設定することができる。よって、隣接する実装用バンプ 34 間で短絡が発生しない範囲において実装用バンプ 34 の体積を最大とすることにより、半導体装置 10A と実装基板 32 との接合力を増大することができ、これにより実装の信頼性を向上させることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置 10A, 10B, 10D についても適用できるものである。

【0099】

図 14 は、第 4 実施例に係る半導体装置の実装構造を示している。

本実施例に係る実装構造は、第 2 実施例に係る半導体装置 10B を例に挙げたものであり、実装部材 38 を用いて半導体装置 10B を実装基板 32 に接合させたことを特徴とするものである。

実装部材 38 は、接続ピン 40 と位置決め部材 42 とにより構成されている。接続ピン 40 は可撓可能な導電性金属材料（例えば、導電性を有したバネ材）よりなり、電極板 14A の外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材 42 はシリコンゴム等の可撓性及び絶縁性を有した材料により形成されており、接続ピン 40 を上記の所定位置に位置決めする機能を奏するものである。

【0100】

上記構成とされた実装部材 38 は、実装された状態において、接続ピン 40 の上端部が半導体装置 10B の電極板 14A に接合（例えば、半田付け接合）し、また接続ピン 40 の下端部は実装基板 32 に接合される。

従って本実施例に係る実装構造では、外部接続端子と実装基板との間には接続ピンが介在した構成となる。接続ピン 40 は、前記のように可撓可能な構成であるため、例えば加熱時等に半導体装置 10B と実装基板 32 との間で熱膨張率差に起因した応力が発生しても、この応力は接続ピン 40 が可撓することにより吸

ス等において半導体装置10Cを交換する必要があるような場合でも、容易に交換処理を行なうことができる。

【0105】

また、ソケット44に設けられたリード部48は、装着部46の側部に配設されており、また半導体装置10Cの側部端子20は封止樹脂16Cの側面に露出した構成である。このため、半導体装置10Cを装着部46に装着した状態においてリード部48と側部端子20とは対向するため、リード部48を引き回すことなくリード部48と半導体装置10Cとの接続を行なうことができ、よってソケット44の構造の簡単化を図ることができる。

【0106】

図16は、第6実施例に係る半導体装置の実装構造を示している。

本実施例に係る実装構造は、前記した第5実施例に係る実装構造と同様にリード部50を用いて半導体装置10Cを実装基板32に実装するものであるが、装着部46に代えてダイステージ52を利用したことを特徴とするものである。

本実施例に係るソケット51は、リードフレーム材料により一体的に形成されたリード部50とダイステージ52とにより構成されている。ダイステージ52は半導体装置10Cを装着する部分であり、その外周位置に複数のリード部50が形成されている。このリード部50は、その半導体装置10Cと対向する部分の一部が直角上方に折曲され、側部端子20と電氣的に接続するよう構成されている。

【0107】

上記構成とされたソケット51を用いることによっても、第5実施例に係る実装構造と同様に半導体装置10Cの装着脱を容易に行なうことが可能となる。また、ソケット51を構成するリード部50とダイステージ52は一体的な構成であるため、部品点数の削減を図ることができると共に容易にソケット51を製造することができる。

【0108】

続いて、第5実施例である半導体装置10Eについて説明する。

図18は、第5実施例である半導体装置10Eの断面図である。本実施例に係

0 Eに対応する領域である（以下、この領域を接合領域58という）。

また、図20はチップ取り付け工程を説明するための図である。チップ取り付け工程では、前記した接合領域58と同一面積を有した放熱板56を形成しておき、この放熱板56上に半導体素子12（12A～12C）を電極板14Aへの配設位置と対応する位置に位置決めして接着する。これにより、各半導体素子12（12A～12C）は、電極板14Aへの配設位置に固定されたこととなり、また3個の半導体素子12A～12Cを一括的に取り扱うことが可能となる。

【0113】

尚、図20に示す例では、各放熱板56は接合領域58に対応した大きさに分離され別個の構成とされているが、図21に示すように、連結部60により各放熱板56をリードフレーム24Aの各接合領域58の形成位置と対応するよう連結した構成としてもよい。

上記したチップ取り付け工程が終了すると、続いてチップ搭載工程及び突出端子形成工程が実施される。図22及び図23は、チップ搭載工程及び突出端子形成工程が終了した状態のリードフレーム24Aを示している。図22は、放熱板56がリードフレーム24Aに取り付けられた一部を拡大して示す図であり、また図23はその全体を示す図である。

【0114】

チップ搭載工程では、半導体素子12（12A～12C）が取り付けられた放熱板56をリードフレーム24Aに配設することにより、電極板14Aに半導体素子12A～12Cを搭載し電氣的に接続する処理が行なわれる。前記したように、本実施例ではチップ搭載工程を実施する前に、半導体素子12（12A～12C）を放熱板56上に位置決めして取り付けるチップ取り付け工程が実施されている。よって、チップ搭載工程では、放熱板56をリードフレーム24Aの接合領域58に位置決めして取り付けることにより、複数の半導体素子12（12A～12C）を一括的に電極板14に搭載することができる。

【0115】

これにより、チップ搭載工程では個々の半導体素子12（12A～12C）の位置決めを行なう必要がなくなり、単に形状の大きな放熱板56と電極板14（

ことにより放熱効率は更に向上し、半導体素子12をより効率的に冷却することができる。

【0119】

続いて、第7乃至第10実施例に係る半導体装置10G~10Jについて説明する。この各半導体装置10G~10Jは、共に放熱板56を配設することにより、半導体素子12から発生する熱を効率よく放熱するよう構成したことを特徴とするものである。

図26は、第7実施例である半導体装置10Gを示している。本実施例に係る半導体装置10Gは、前記した第2実施例に係る半導体装置10B（図6参照）に放熱板56を配設した構成とされている。図27は、第8実施例である半導体装置10Hを示している。本実施例に係る半導体装置10Hは、前記した第4実施例に係る実装構造で用いた実装部材38を有しており（図14参照）、かつ、半導体素子12の上部に放熱板56を配設した構成とされている。

【0120】

また、図28は、第9実施例である半導体装置10Iを示している。本実施例に係る半導体装置10Iは、前記した第3実施例に係る半導体装置10C（図7参照）に放熱板56を配設した構成とされている。更に、図29は、第10実施例である半導体装置10Jを示している。本実施例に係る半導体装置10Jは、前記した第4実施例に係る半導体装置10D（図8参照）に放熱板56を配設した構成とされている。このように、各半導体装置10G~10Jに夫々放熱板56を配設することにより、放熱効率の向上を図ることができる。

【0121】

続いて、第11実施例である半導体装置10Kについて説明する。

図30は第11実施例に係る半導体装置10Kを説明するための図であり、図30(A)は半導体装置10Kの断面を、図30(B)は半導体装置10Kの底面を夫々示している。本実施例に係る半導体装置10Kは、大略すると半導体装置本体70、インタポーザ72A、異方性導電膜74、及び外部接続端子76等により構成されている。

【0122】

## 【0126】

インタポーザ72Aを構成する配線パターン84Aは、例えば銅をプリント配線した構成とれさせている。ベース部材86Aは例えばポリイミド系の絶縁性樹脂よりなり、半導体装置本体70に形成された突起電極80の形成位置と対応する位置には孔88が貫通形成されている。

また、異方性導電膜74は、接着性を有する可撓性樹脂内に導電性フィラーを混入したものである。よって、異方性導電膜74は接着性と押圧方向に対する導電性とを共に有したものである。この異方性導電膜74は、図示されるように、半導体装置本体70とインタポーザ72Aとの間に介装される。

## 【0127】

これにより、半導体装置本体70とインタポーザ72Aは、異方性導電膜74の有する接着性により接着される。また、この接着時において半導体装置本体70はインタポーザ72aに向け押圧されるため、半導体装置本体70とインタポーザ72Aは、異方性導電膜74により電氣的に接続される。

また、外部接続端子76は半田ボールよりなり、ベース部材36Aに形成された孔88を介して配線パターン84Aと接続される。この外部接続端子76は、半導体装置本体70の搭載の邪魔にならないように、半導体装置本体70の搭載面と反対側の面に配設される。

## 【0128】

更に、本実施例に係る半導体装置10Kは、半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Aに配設された外部接続端子76の配設ピッチとが同一ピッチとなるよう構成されている。これに伴い、異方性導電膜74及びインタポーザ72Aの平面視した時の面積は、半導体装置本体70の平面視した時の面積と略等しくなるよう構成されている。

## 【0129】

上記のように、半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Aに配設された外部接続端子76の配設ピッチを同一ピッチとしたことにより、異方性導電膜74及びインタポーザ72Aの形状を小さくすることができ、半導体装置10Kの小型化を図ることができる。

極80の電極間ピッチが狭ピッチ化しても、突起電極80と外部接続端子76との配設位置を異ならせることができるため、上記の狭ピッチ化に容易に対応することができる。

【0149】

図36は、上記した半導体装置10Mの製造方法（第6実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Mを形成する方法を例に挙げて示している。

本実施例に係る半導体装置10Mの製造方法では、予め別工程において半導体装置本体70、異方性導電膜74、及びインタポーザ72Bを形成しておく。そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポーザ72Bとの間に異方性導電膜74を介装し、半導体装置本体70をインタポーザ72Bに向け押圧する。

【0150】

これにより、異方性導電膜74の有する接着性により半導体装置本体70とインタポーザ72Bは機械的に接合されると共に、異方性導電膜74の有する異方性導電性により半導体装置本体70とインタポーザ72Bは電氣的に接合される。これにより、図35に示す半導体装置10Mが形成される。

よって、本実施例の製造方法によっても、半導体装置本体70とインタポーザ72Bとの機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置10Mの製造工程を簡単化することができる。

【0151】

続いて、第14実施例である半導体装置10Nについて説明する。

図37は、第14実施例である半導体装置10Nを示す断面図である。尚、図37において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第11実施例に係る半導体装置10Kは、半導体装置本体70とインタポーザ72Aを接合するのに異方性導電性膜74を用い、半導体装置本体70とインタポーザ72Aとを電氣的及び機械的に一括的に接合する構成とされていた。



図31は、半導体装置10Kの製造方法（第4実施例に係る製造方法）を示している。同図に示すように、半導体装置10Kを製造するには、予め別工程において半導体装置本体70、異方性導電膜74、及びインタポーザ72Aを形成しておく。そして、図示されるように半導体装置本体70とインタポーザ72Aとの位置決めを行なった上で、半導体装置本体70とインタポーザ72Aとの間に異方性導電膜74を介装し、半導体装置本体70をインタポーザ72Aに向け押圧する。

#### 【0134】

これにより、前記のように異方性導電膜74の有する接着性により半導体装置本体70とインタポーザ72Aは機械的に接合されると共に、異方性導電膜74の有する異方性導電性により半導体装置本体70とインタポーザ72Aは電氣的に接合される。よって、本実施例の製造方法によれば、半導体装置本体70とインタポーザ72Aとの機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置10Kの製造工程を簡単化することができる。

#### 【0135】

上記のように半導体装置本体70とインタポーザ72Aとの接合処理が終了すると、続いて半田ボールよりなる外部接続端子76を転写法によりインタポーザ72Aに接合する。この際、外部接続端子76の転写は加熱雰囲気中で行なわれるため、外部接続端子76は熔融して孔88内に進入してインタポーザ72Aの配線パターン84Aと電氣的に接続する。

#### 【0136】

この際、上記のように外部接続端子76はインタポーザ72Aに形成された孔88内に進入するため、外部接続端子76とインタポーザ72Aとの接合力は強くなる。よって、外部接続端子76がインタポーザ72Aから離脱することを防止でき、半導体装置10Kの信頼性を向上させることができる。

続いて、第12実施例である半導体装置10Lについて説明する。

#### 【0137】

図32は、第12実施例に係る半導体装置10Lの要部を拡大して示した図である。尚、図32において、図30を用いて説明した第11実施例に係る半導体

の半導体装置本体70と対向する位置に絶縁部材94を形成する。この絶縁部材94は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接続孔96を形成しておく。

#### 【0142】

そして、図33に示されるように、突起電極80と接続孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に異方性導電膜74を介装し、ウェハ90をTABテープ92に向け押圧する。

これにより、前記のように異方性導電膜74の有する接着性によりウェハ90とTABテープ92は機械的に接合されると共に、異方性導電膜74の有する異方性導電性により突起電極80は配線パターン84Aに電氣的に接合される。この際、前記したように接続孔96内においては異方性導電膜74の導電性が向上するため、突起電極80と配線パターン84Aとの電氣的接続を確実に行なうことができる。

#### 【0143】

図34は、ウェハ90とTABテープ92とが接合された状態を示している。このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図34にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポーザ72Aが形成され、図32に示す半導体装置10Lが形成される。

よって、本実施例の製造方法によれば、半導体装置本体70とインタポーザ72Aとの機械的接合処理及び電氣的接合処理を一括的行なうことができるため、半導体装置10Lの製造工程を簡単化することができる。また、本実施例ではいわゆる多数個取りができるため、半導体装置10Lの製造効率を向上することができる。

#### 【0144】

更に、一般に異方性導電膜74を用いた電氣的接続構造では、電氣的接続の歩留りが低下することが問題とされるが、本実施例では半導体装置本体70（突起電極80）と対向する位置に接続孔96が形成された絶縁部材94を配設したこ

衝膜として機能する。よって、接着剤 98 により、半導体装置本体 70 とインタポザ 72 A との間に発生する応力を緩和することができる。尚、本実施例に係る半導体装置 10 N は突起電極 80 の配設ピッチと外部接続端子 76 の配設ピッチとが等しく設定された構成であるため、半導体装置 10 N の小型化を図ることができる。

【0156】

図 38 乃至図 40 は、半導体装置 10 N の製造方法（第 7 実施例に係る製造方法）を示している。尚、図 38 乃至図 40 において、第 5 実施例に係る製造方法を説明するのに用いた図 33 及び図 34 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 10 N を多数個取りする方法について説明するものとする。

【0157】

半導体装置 10 N を製造するには、予め別工程において半導体装置本体 70 が複数個形成されたウェハ 90、接着剤 98、及びインタポザ 72 B が複数個形成された TAB テープ 92 を形成しておく。

この半導体装置 70 を形成する際、複数形成されている突起電極 80 にはそれぞれ導電性ペースト 100 が塗布されている。また、接着剤 98 の突起電極 80 の形成位置と対応する位置には、通孔 102 が予め穿設されている。更に、TAB テープ 92 を形成する際、その上面（ウェハ 90 が装着される面）の半導体装置本体 70 と対向する位置に絶縁部材 94 を形成する。

【0158】

この絶縁部材 94 は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材 94 を形成する際、突起電極 80 の形成位置と対応する位置に接続孔 96 を形成しておく。

そして、突起電極 80 と接続孔 96 との位置決めを行なった上で、ウェハ 90 と TAB テープ 92 との間に接着剤 98 を介装し、ウェハ 90 を TAB テープ 92 に接着固定する。これにより、接着材 98 によりウェハ 90 と TAB テープ 92 は機械的に接合されると共に、導電性ペースト 100 は通孔 102 及び接続孔 96 内に入り込み、突起電極 80 と配線パターン 84 A は電氣的に接合される。

6の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極80の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

【0163】

図42は、上記した半導体装置10Pの製造方法（第8実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Pを形成する方法を例に挙げて示している。

本実施例に係る半導体装置10Pの製造方法でも、予め別工程において半導体装置本体70、接着材98、及びインタポーザ72Bを形成しておく。また、半導体装置70を形成する際、複数形成されている突起電極80にはそれぞれ導電性ペースト100を塗布しておく。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102を予め穿設しておく。更に、絶縁部材94の突起電極80の形成位置と対応する位置には、接続孔96を形成しておく。

【0164】

そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポーザ72Bとの間に接着剤98を介装し、半導体装置本体70をインタポーザ72Bに接着固定する。これにより、接着材98により半導体装置本体70とインタポーザ72Bは機械的に接合されると共に、導電性ペースト100は通孔102及び接続孔96内に入り込み、突起電極80と配線パターン84Aは電氣的に接合される。以上の処理を実施することにより、図41に示す半導体装置10Pが形成される。

【0165】

続いて、第16実施例である半導体装置10Qについて説明する。

図43は、第16実施例である半導体装置10Qを示す断面図である。尚、図43において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第14実施例に係る半導体装置10Nは、導電性部材として導電性ペースト100を用い、この導電性ペースト100により半導体装置本体70とインタポーザ72Aとを電氣的に接合（接続）する構成とされていた。これに対し

るため、半導体装置10Qの小型化を図ることができる。

【0170】

図44乃至図46は、半導体装置10Qの製造方法（第9実施例に係る製造方法）を示している。尚、図44乃至図46において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Qを多数個取りする方法について説明するものとする。

【0171】

半導体装置10Qを製造するには、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接着剤98、及びインタポーザ72Bが複数個形成されたTABテープ92を形成しておく。

このTABテープ92を形成する際、その上面（ウェハ90が装着される面）の半導体装置本体70と対向する位置に絶縁部材94を形成する。また、絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接続孔96を形成し、更に接続孔96の内部の配線パターン84A上にスタッドバンプ104を形成する。

【0172】

そして、突起電極80と接続孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90をTABテープ92に押圧しつつ接着固定する。これにより、接着材98によりウェハ90とTABテープ92は機械的に接合されると共に、スタッドバンプ104は通孔102及び接続孔96を介して突起電極80に食い込んだ状態となり、よって突起電極80と配線パターン84Aはスタッドバンプ104より電氣的に接合される。図45は、ウェハ90とTABテープ92とが接合された状態を示している。

【0173】

このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図45にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポーザ72Bが形成され、図43に示す半導体装置10Qが形成される（図43に示す半導体装置10Nは、絶縁部材94が設けら

に半導体装置 10Q を形成する方法を例に挙げて示している。

本実施例に係る半導体装置 10Q の製造方法でも、予め別工程において半導体装置本体 70、接着材 98、及びインタポーザ 72B を形成しておく。この際、接着剤 98 の突起電極 80 の形成位置と対応する位置には、通孔 102 を予め穿設しておく。また、インタポーザ 72B に絶縁部材 94 を形成すると共に、絶縁部材 94 の突起電極 80 の形成位置と対応する位置に接続孔 96 を形成しておく。更に、接続孔 96 内に露出した配線パターン 84A には、前記したワイヤボンディング技術を用いてスタッドバンプ 104 を形成しておく。

#### 【0178】

そして、突起電極 80 と接続孔 96 との位置決めを行なった上で、半導体装置本体 70 とインタポーザ 72B との間に接着剤 98 を介装し、半導体装置本体 70 をインタポーザ 72B に押圧しつつ接着固定する。これにより、接着材 98 により半導体装置本体 70 とインタポーザ 72B は機械的に接合されると共に、スタッドバンプ 104 は通孔 102 及び接続孔 96 を介して突起電極 80 に食い込んだ状態となる。以上の処理を行なうことにより、突起電極 80 と配線パターン 84A はスタッドバンプ 104 より電氣的に接合され、よって図 47 に示す半導体装置 10R が形成される。

#### 【0179】

続いて、第 18 実施例である半導体装置 10S について説明する。

図 49 は、第 18 実施例である半導体装置 10S を示す断面図である。尚、図 49 において、図 37 を用いて説明した第 14 実施例に係る半導体装置 10N の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 14 乃至 17 実施例に係る半導体装置 10N ~ 10R は、導電性部材として導電性ペースト 100 或いはスタッドバンプ 104 を用い、この導電性ペースト 100 或いはスタッドバンプ 104 により半導体装置本体 70 とインタポーザ 72A とを電氣的に接合（接続）する構成とされていた。これに対し、本実施例に係る半導体装置 10S は、上記の導電性ペースト 100 或いはスタッドバンプ 104 に代えてフライングリード 106（導電性部材）を設けたことを特徴とするものである。

【0180】

フライングリード106は、インタポーザ72Cに形成された配線パターン84Cと一体的に形成されており、インタポーザ72Cの外周縁部より斜め上方向（半導体装置本体70に向かう方向）に延出した構成とされている。また、このフライングリード106の形成位置は、突起電極80の形成位置と対応するように設定されている。

【0181】

フライングリード106を形成するには、予め形成されたインタポーザ72Cのフライングリード106の形成部分に対応するベース部材86Cをドライエッチング等により除去し、これにより単体となって配線パターン37Cを上記した斜め上方向にむけ折曲形成する。これにより、インタポーザ72Cの外周縁部位置にフライングリード106が形成される。

【0182】

このフライングリード106は、接着剤98の配設位置を迂回して突起電極80に接続し、これにより半導体装置本体70とインタポーザ72Aとを電氣的に接続する機能を奏する。また、突起電極80とフライングリード106との接続位置は、カバー樹脂108により樹脂封止されている。これにより、外力印加等によりフライングリード106が変形することを防止でき、半導体装置10Sの信頼性を向上させることができる。

【0183】

上記のように、本実施例に係る半導体装置10Sでは、接着剤98が半導体装置本体70とインタポーザ72Cとを機械的に接合し、またスタッドバンプ104が半導体装置本体70とインタポーザ72Cとを電氣的に接合（接続）する。このように、機械的接合と電氣的接合を別個の部材（接着剤98、フライングリード106）により行なうことにより、半導体装置本体70とインタポーザ72Aとの機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

【0184】

また、フライングリード106と突起電極80との接続位置においては絶縁性

形成する構成としてもよい。図51は、カバ樹脂108が形成された状態を示している。

#### 【0188】

このように、カバ樹脂108の形成処理が終了すると、続いて図52にA-Aで示す破線位置で切断処理が行なわれ、これにより図49に示す半導体装置10Sが形成される。尚、上記した製造方法では、半導体装置10Qを多数個取りする方法について述べたが、図53及び図54に示すように、半導体装置10Sを個々に製造することも可能である。

#### 【0189】

続いて、第19実施例である半導体装置10Tについて説明する。

図55(A)は、第19実施例である半導体装置10Tを示す断面図である。尚、図55において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第14乃至18実施例に係る半導体装置10N~10Sは、導電性部材として導電性ペースト100、スタッドバンプ104、或いはフライングリード106を用い、この導電性ペースト100、スタッドバンプ104、フライングリード106により半導体装置本体70とインタポーザ72A、72Bとを電気的に接合（接続）する構成とされていた。

#### 【0190】

これに対し、本実施例に係る半導体装置10Uは、上記の導電性ペースト100或いはスタッドバンプ104に代えて、インタポーザ72Dに導電性部材として、接続ピン110と位置決め部材112を組み込んだ構成としたことを特徴とするものである。

本実施例に係るインタポーザ72Dは、大略すると接続ピン110、位置決め部材112、接着剤114、及びベース部材116等により構成されている。接続ピン110は、突起電極80の形成位置に対応した位置に配設され、組み立てられた状態において、その上端部を突起電極80に接合すると共に、下端部を外部接続端子76に接合される。また、位置決め部材112は、この接続ピン110を突起電極80の形成位置に位置決めする機能を有するものであり、シリコン



方法)を示している。尚、図56乃至図58において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Tを多数個取りする方法について説明するものとする。

#### 【0195】

半導体装置10Sを製造するには、図56に示すように、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接続ピン110を保持した位置決め部材112、接着剤114、及びベース部材116を形成しておく。接着剤114及びベース部材116の突起電極80の形成位置と対応する位置には、孔88及び通孔102を形成しておく。

#### 【0196】

そして、突起電極80と位置決めピン110との位置決めを行なった上で、ウェハ90をインタポーザ72D（接続ピン110、位置決め部材112、接着剤114、ベース部材116）に加熱しつつ押圧する。これにより、図57に示すように、接続ピン110の上端部は突起電極80内に嵌入し、かつ下端部は外部接続端子76に嵌入する。よって突起電極80と外部接続端子76は接続ピン110を介して電氣的に接続される。

#### 【0197】

このように、突起電極80と外部接続端子76との接続処理が終了すると、続いて図57にA-Aで示す破線位置で切断処理が行なわれ、これにより図55(A)に示す半導体装置10Tが形成される。尚、上記した製造方法では、半導体装置10Tを多数個取りする方法について述べたが、図58に示すように、半導体装置10Tを個々に製造することも可能である。

#### 【0198】

続いて、第20実施例である半導体装置10Uについて説明する。

図59は、第20実施例に係る半導体装置10Uを示す断面図である。尚、図59において、図55を用いて説明した第19実施例に係る半導体装置10Tの構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第19実施例に係る半導体装置10Tでは、小型化を図るために半導

部接続端子 76 は接続ピン 110 を介して電氣的に接続される。以上の処理を行なうことにより、図 59 に示す半導体装置 10U が形成される。

【0203】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

請求項 1 記載の発明によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上することができる。

【0204】

また、外部接続端子は半導体素子と電氣的に接続された電極板の一部として形成されているため、この電極板の半導体素子との接続位置と外部接続端子の形成位置との間の部分において、配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。

【0205】

また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができる。

更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。

【0206】

また、請求項 2 及び請求項 11 記載の発明によれば、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に多ピン化にも対応することができる。

また、請求項 3 記載の発明によれば、側面ばかりでなく底面においても実装を行なうことが可能となるため、実装構造の自由度を向上させることができる。

置決めすればよいため、位置決め処理を容易化することができる。

【0211】

また、請求項13記載の発明によれば、突起端子部の形成を電極板の形成と同時かつ一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

【0212】

また、請求項14記載の発明によれば、ソケットを用いて半導体装置を実装基板に接合するため半導体装置の装着脱を容易に行なうことができる。また、半導体装置の装着状態においてリード部と外部接続端子とは対向するため、リード部を引き回すことなくリード部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

【0213】

また、請求項15記載の発明によれば、半導体装置をBGAと同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

また、請求項16記載の発明によれば、加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収されるため、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0214】

また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

また、請求項17及び請求項22記載の発明によれば、インタポーザのベース部材上において任意の配線パターンを形成することができるため、配線パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることが

って半導体装置本体とインタポーザとの機械的接合及び電氣的接合を共に確実に  
行なうことができる。

【0219】

更に、接着剤は固化した状態においても所定の可撓性を有するため、接着剤を  
緩衝膜として機能させることができ、よって半導体装置本体とインタポーザとの  
間に発生する応力を緩和することができる。

また、請求項24記載の発明によれば、単に導電性ペーストを半導体素子の突  
起電極またはインタポーザの配線パターンに塗布するだけで導電性部材の配設を  
行なうことができるため、半導体装置の組み立て作業の容易化を図ることができ  
る。

【0220】

また、請求項25記載の発明によれば、半導体素子の突起電極とインタポーザ  
の配線パターンとはスタッドバンプを介して接合されることとなり、電氣的接続  
を確実に行なうことができる。

また、請求項26記載の発明によれば、フライングリードと突起電極との接続  
位置においては接着剤が介在しないため、フライングリードと突起電極との電氣  
的接続の信頼性を向上させることができる。また、接続時にフライングリードは  
バネ力をもって突起電極に圧接するため、これによってもフライングリードと突  
起電極との電氣的接続の信頼性を向上させることができる。

【0221】

また、請求項27記載の発明によれば、突起電極とフライングリードとの接続  
位置を樹脂封止したことにより、外力印加等によりフライングリードが変形する  
ことを防止でき、半導体装置の信頼性を向上させることができる。

また、請求項28記載の発明によれば、加熱時等に半導体装置本体とインタポ  
ーザとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可  
撓することにより吸収されるため、外部接続端子と突起電極との接続を確実に維  
持することができる。

【0222】

また、接続ピンは位置決め部材により突起電極の形成位置に対応した位置に位

その1)。

【図10】

本発明の第2実施例である半導体装置の製造方法を説明するための図である (その2)。

【図11】

本発明の第1実施例である半導体装置の実装構造を説明するための図である。

【図12】

本発明の第2実施例である半導体装置の実装構造を説明するための図である。

【図13】

本発明の第3実施例である半導体装置の実装構造を説明するための図である。

【図14】

本発明の第4実施例である半導体装置の実装構造を説明するための図である。

【図15】

本発明の第5実施例である半導体装置の実装構造を説明するための図である。

【図16】

本発明の第6実施例である半導体装置の実装構造を説明するための図である。

【図17】

本発明の第7実施例である半導体装置の実装構造を説明するための図である。

【図18】

本発明の第4実施例である半導体装置を説明するための図である。

【図19】

本発明の第3実施例である半導体装置の製造方法を説明するための図である (その1)。

【図20】

本発明の第3実施例である半導体装置の製造方法を説明するための図である (その2)。

【図21】

本発明の第3実施例である半導体装置の製造方法を説明するための図である (その3)。

本発明の第5実施例である半導体装置の製造方法を説明するための図である（その2）。

【図35】

本発明の第13実施例である半導体装置を説明するための図である。

【図36】

本発明の第6実施例である半導体装置の製造方法を説明するための図である。

【図37】

本発明の第14実施例である半導体装置を説明するための図である。

【図38】

本発明の第7実施例である半導体装置の製造方法を説明するための図である（その1）。

【図39】

本発明の第7実施例である半導体装置の製造方法を説明するための図である（その2）。

【図40】

本発明の第7実施例である半導体装置の製造方法を説明するための図である（その3）。

【図41】

本発明の第15実施例である半導体装置を説明するための図である。

【図42】

本発明の第8実施例である半導体装置の製造方法を説明するための図である。

【図43】

本発明の第16実施例である半導体装置を説明するための図である。

【図44】

本発明の第9実施例である半導体装置の製造方法を説明するための図である（その1）。

【図45】

本発明の第9実施例である半導体装置の製造方法を説明するための図である（その2）。

(その1)。

【図57】

本発明の第12実施例である半導体装置の製造方法を説明するための図である  
(その2)。

【図58】

本発明の第12実施例である半導体装置の製造方法を説明するための図である  
(その3)。

【図59】

本発明の第20実施例である半導体装置を説明するための図である。

【図60】

本発明の第13実施例である半導体装置の製造方法を説明するための図である。

【図61】

従来の半導体装置の一例を説明するための図である。

【符号の説明】

10A～10U 半導体装置

12, 12A～12C, 78 半導体素子

14A, 14B 電極板

16A～16D 封止樹脂

18 突出端子

20 側部端子

22 バンプ電極

24A, 24B リードフレーム

26 金属板パターン

30 突起状端子

32 実装基板

34 実装用バンプ

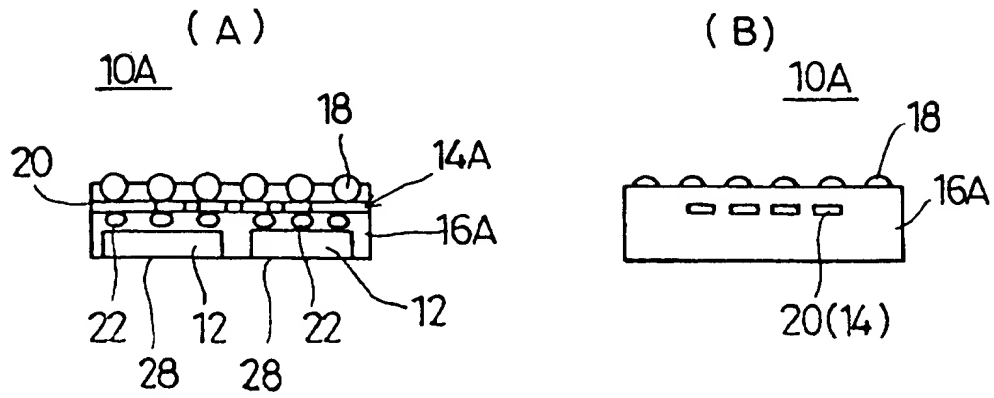
38 実装部材

40, 110 接続ピン

【書類名】 図面

【図1】

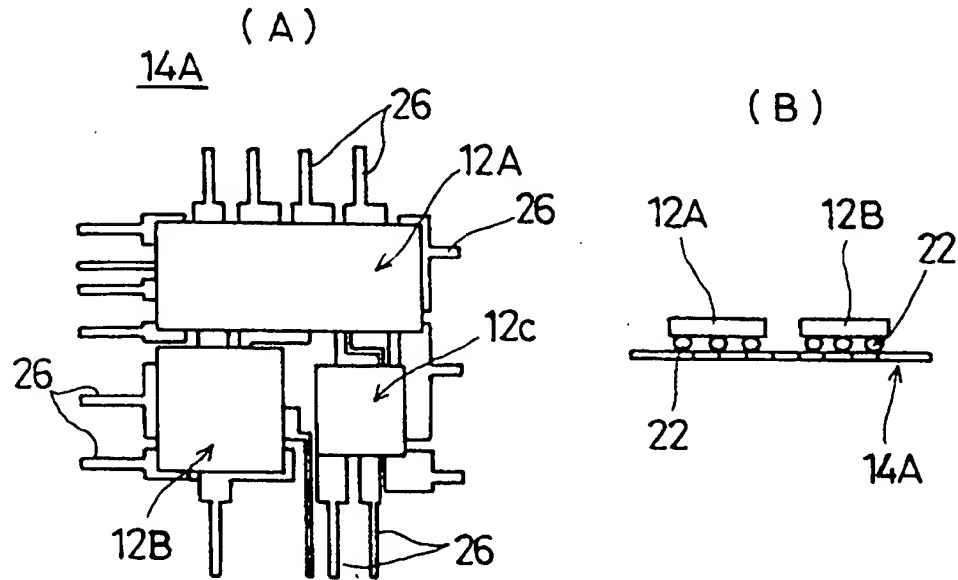
本発明の第1実施例である半導体装置を説明  
するための図





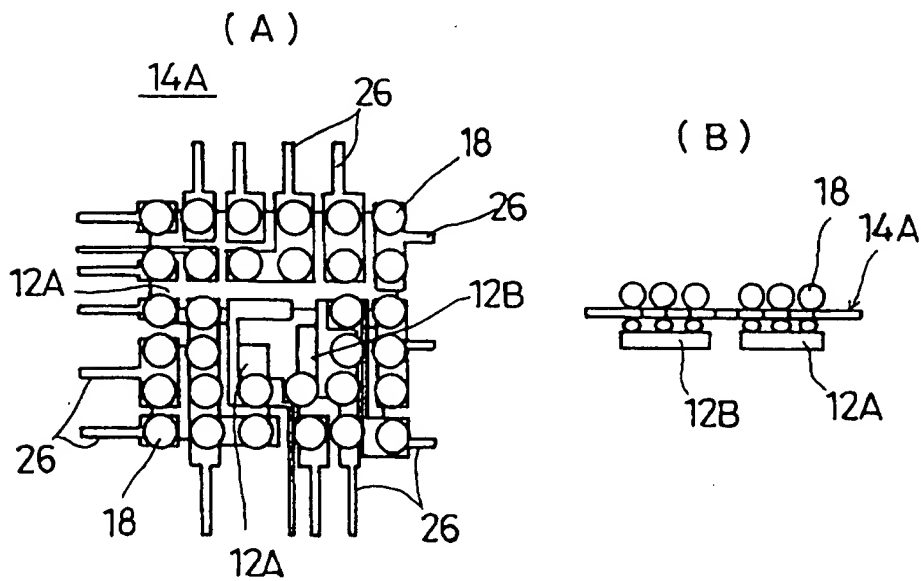
【図 3】

本発明の第1実施例である半導体装置の製造方法  
を説明するための図(その2)



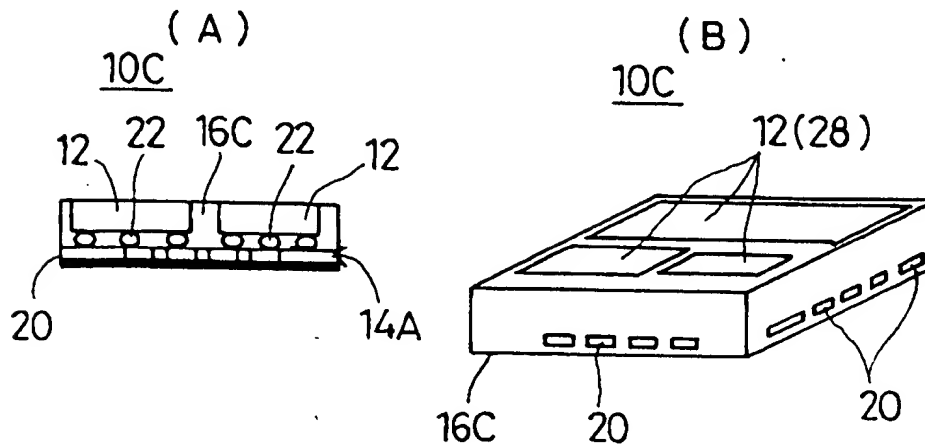
【図 4】

本発明の第1実施例である半導体装置の製造方法  
を説明するための図(その3)



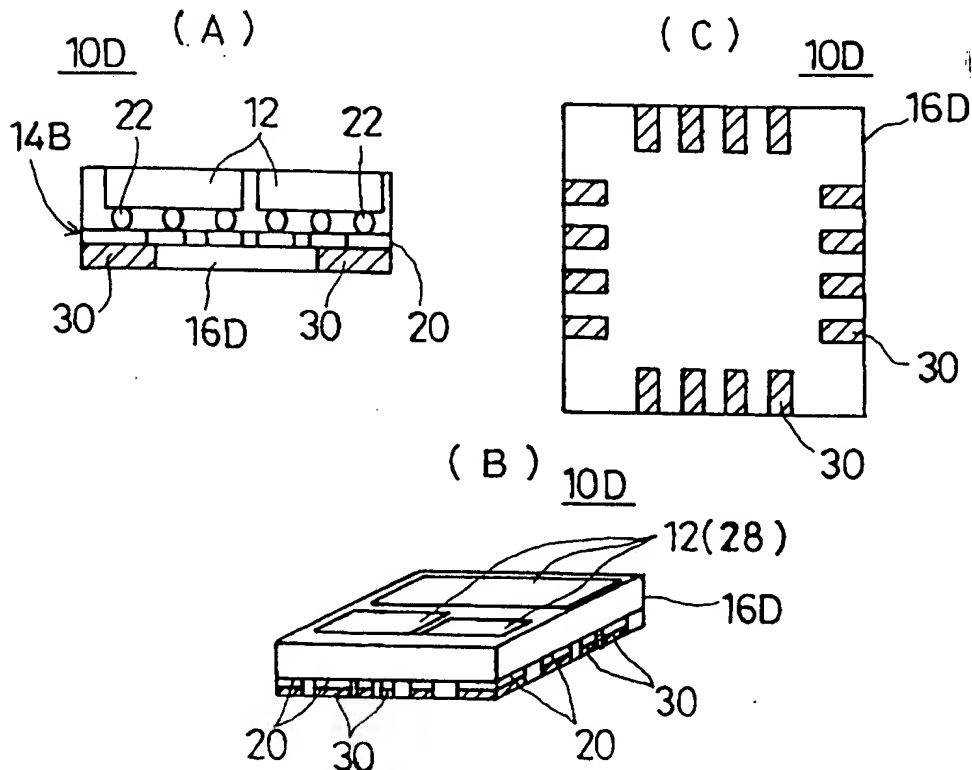
【図7】

本発明の第3実施例である半導体装置を説明するための図



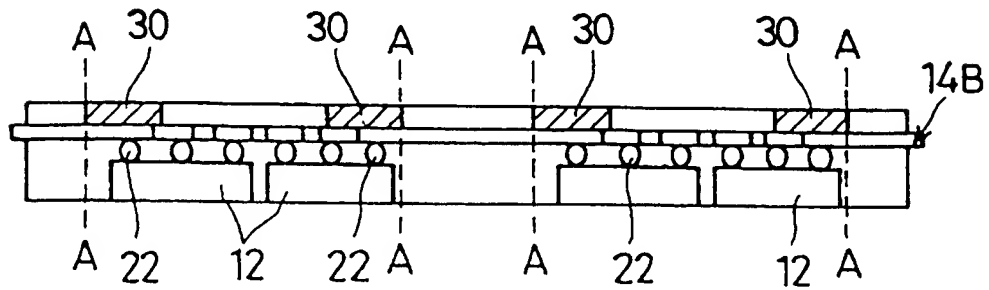
【図8】

本発明の第4実施例である半導体装置を説明するための図



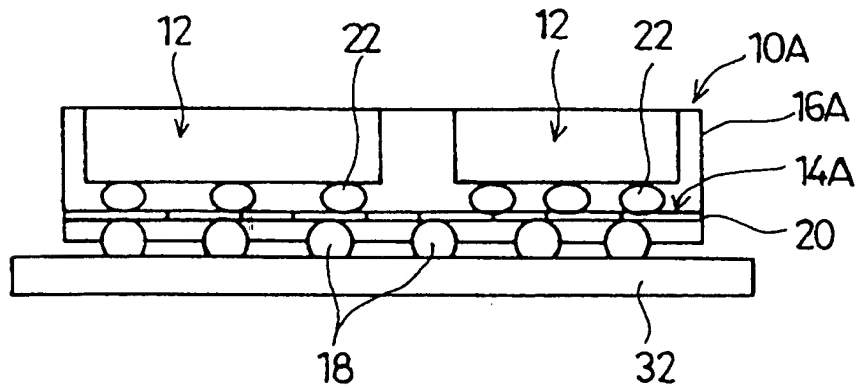
【図10】

本発明の第2実施例である半導体装置の製造方法を説明するための図（その2）



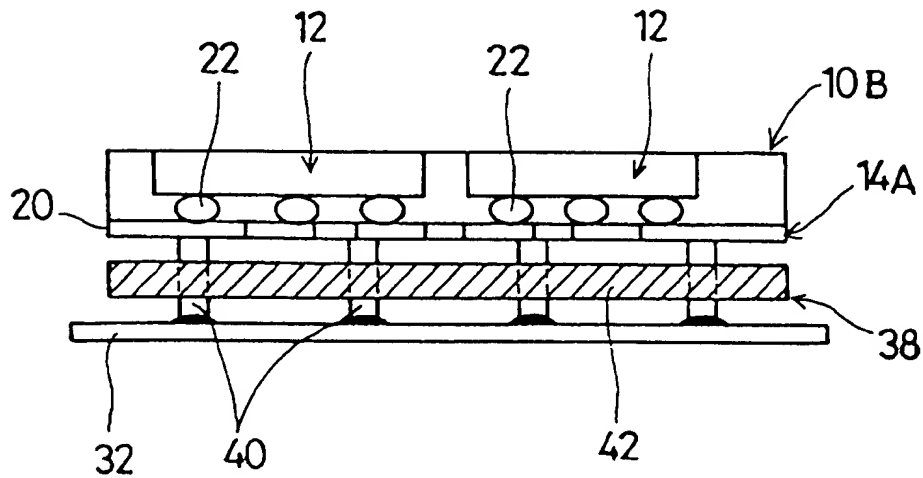
【図11】

本発明の第1実施例である半導体装置の実装構造を説明するための図



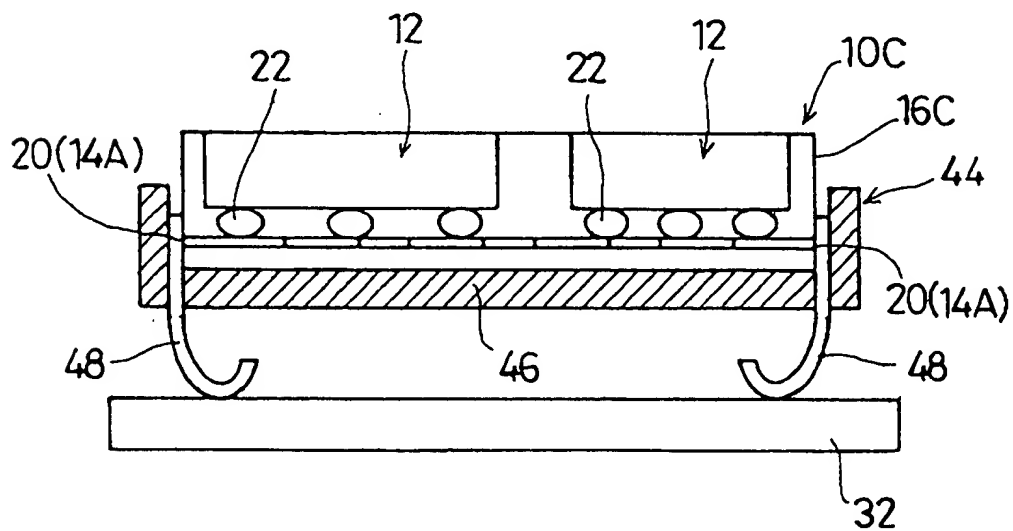
【図14】

本発明の第4実施例である半導体装置の実装構造を説明するための図



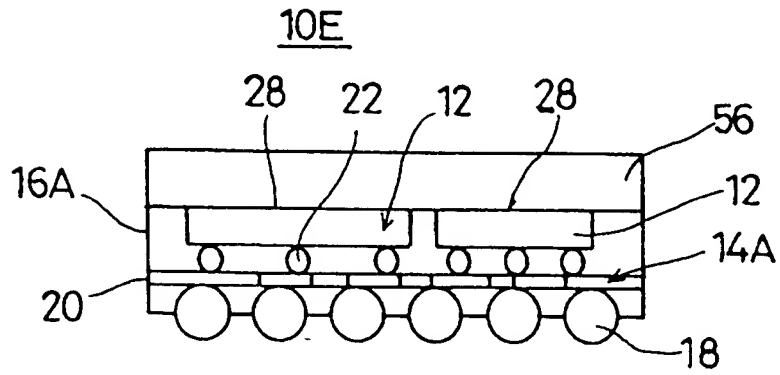
【図15】

本発明の第5実施例である半導体装置の実装構造を説明するための図



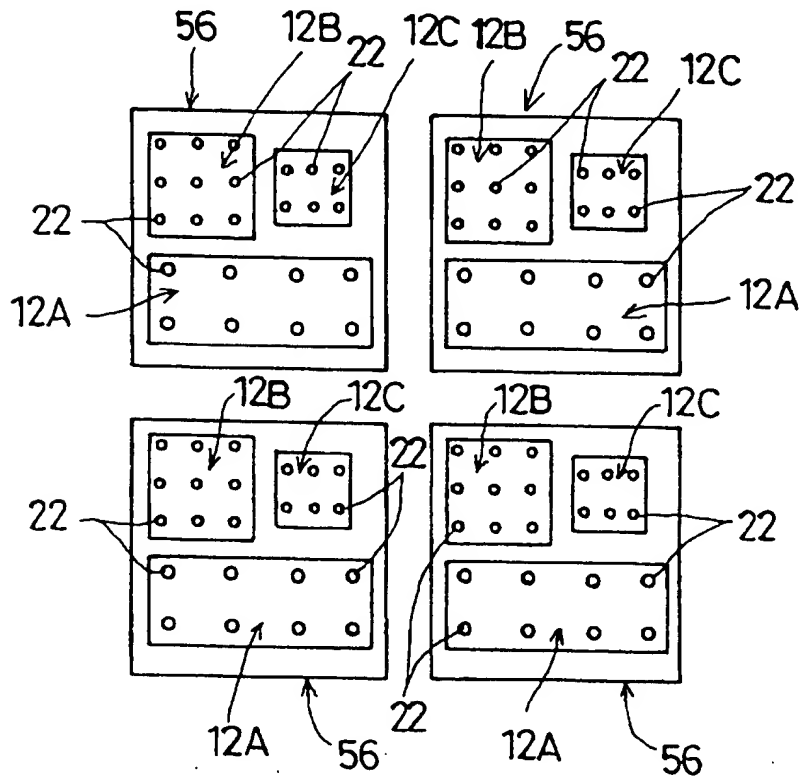
【図18】

本発明の第4実施例である半導体装置を説明  
するための図



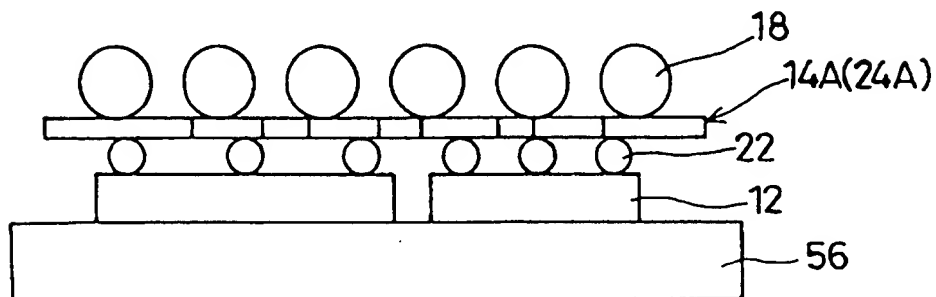
【図20】

本発明の等価実施例である半導体装置の製造方法を説明するための図(その2)



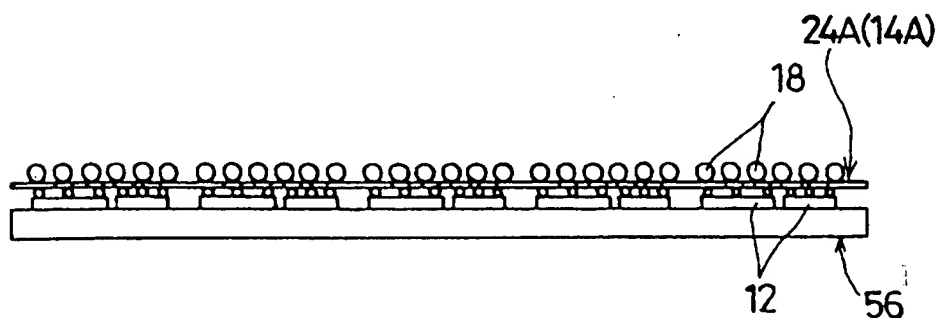
【図22】

本発明の第3実施例である半導体装置の製造方法を説明するための図（その4）



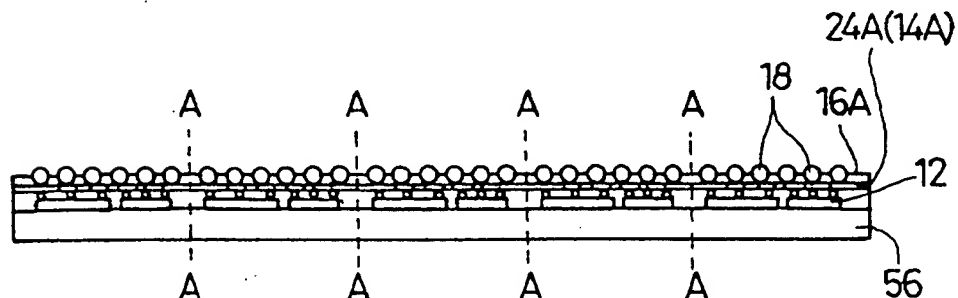
【図23】

本発明の第3実施例である半導体装置の製造方法を説明するための図（その5）



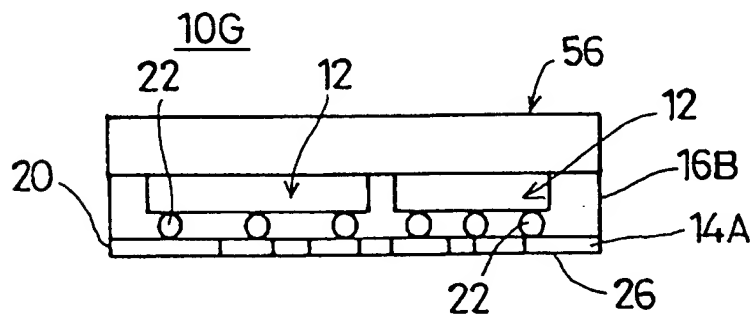
【図24】

本発明の第3実施例である半導体装置の製造方法を説明するための図（その6）



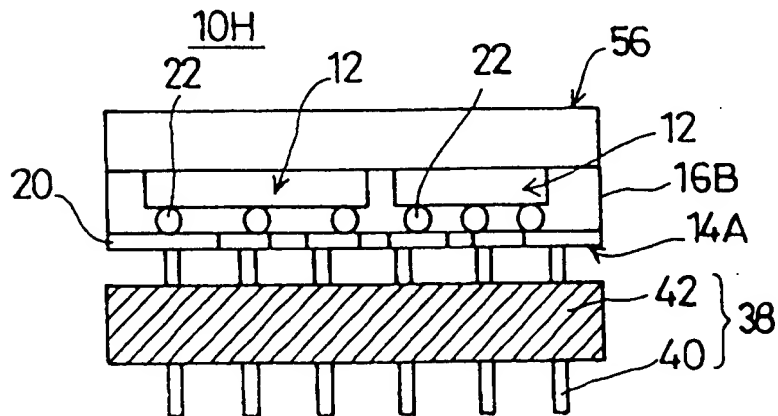
【図26】

本発明の第7実施例である半導体装置を説明するための図



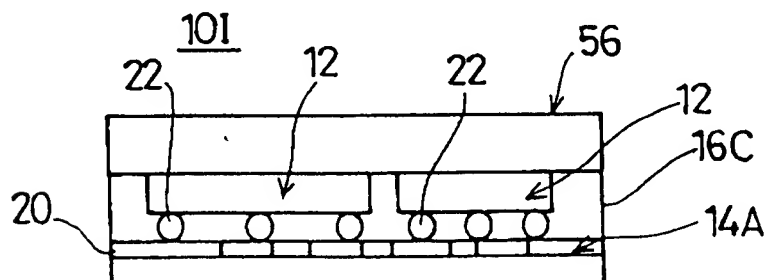
【図27】

本発明の第8実施例である半導体装置を説明するための図



【図28】

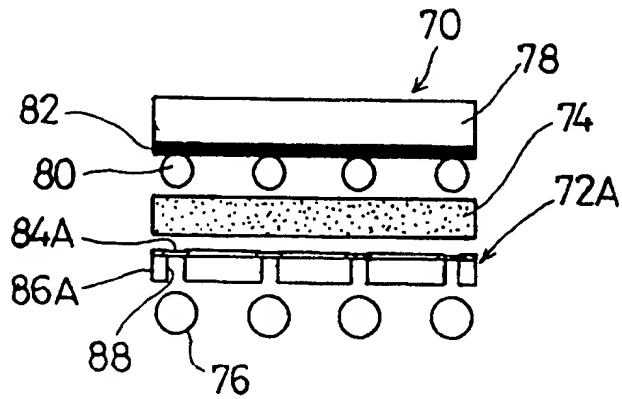
本発明の第9実施例である半導体装置を説明するための図





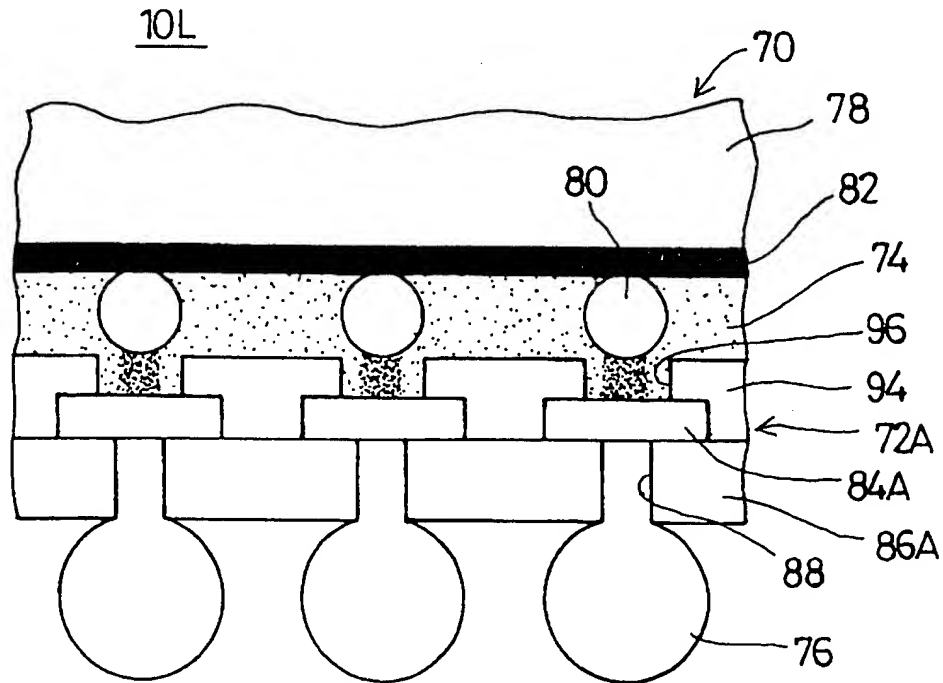
【図31】

本発明の第4実施例である半導体装置の製造方法  
を説明するための図



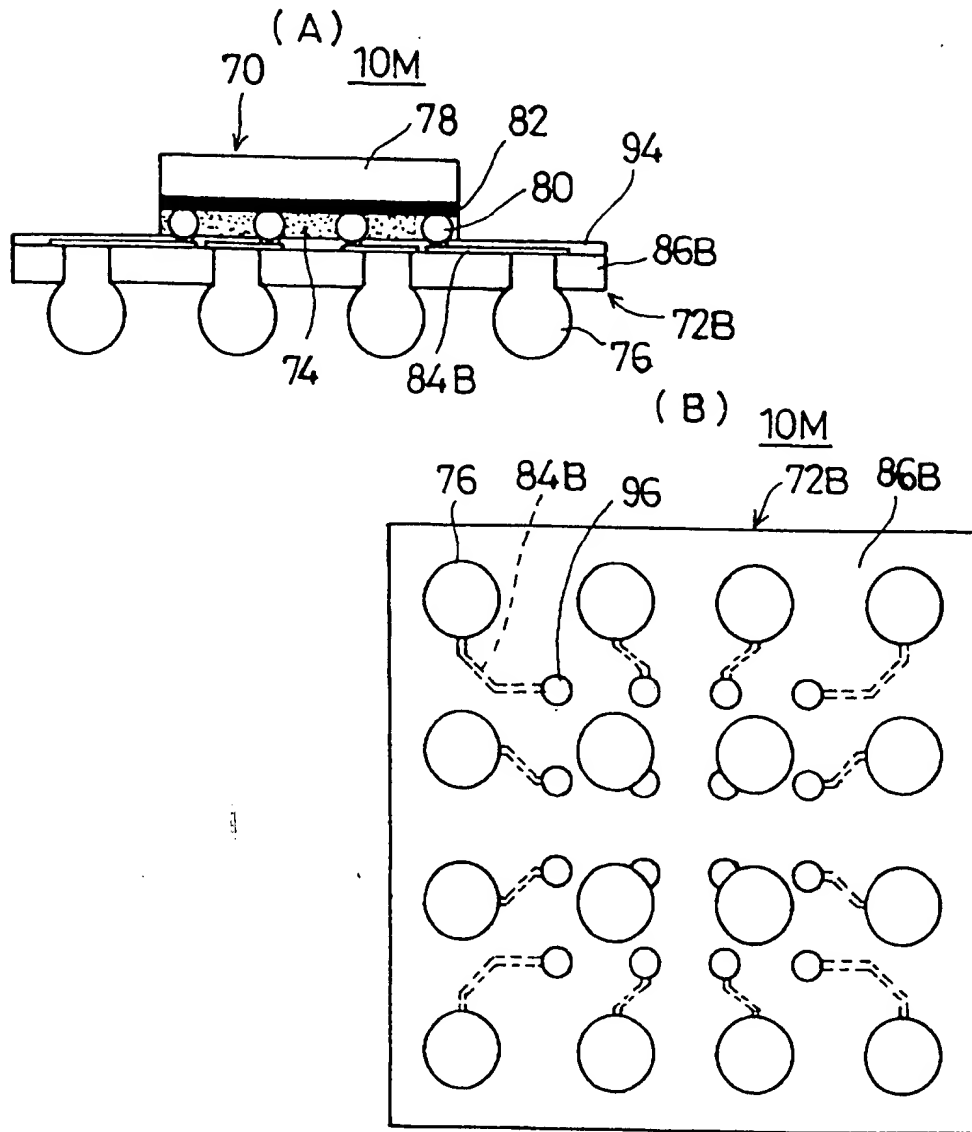
【図32】

本発明の第12実施例である半導体装置を説明  
するための図



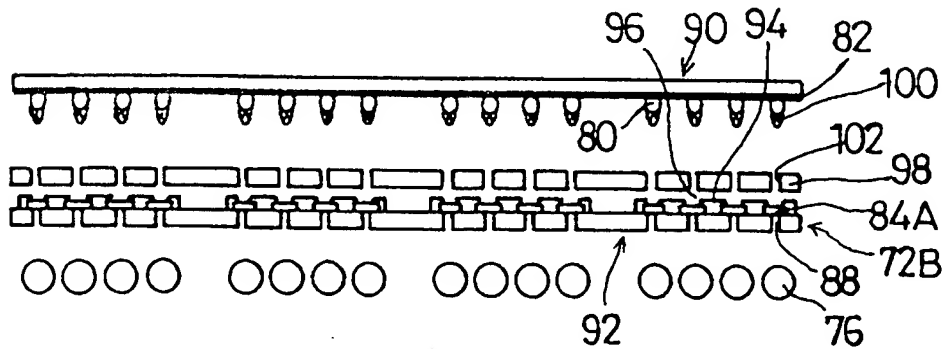
【図35】

本発明の第13実施例である半導体装置を説明するための図



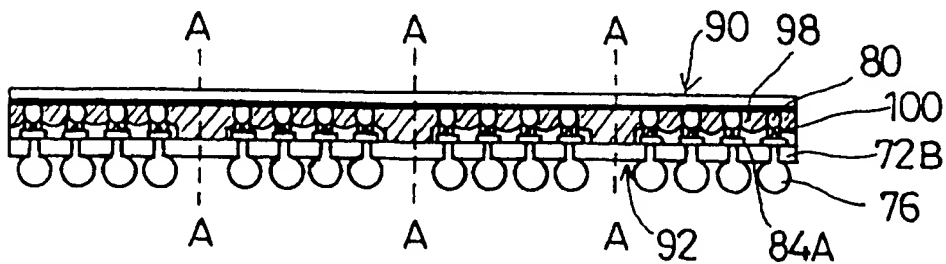
【図38】

本発明の第7実施例である半導体装置の製造方法を説明するための図（その1）



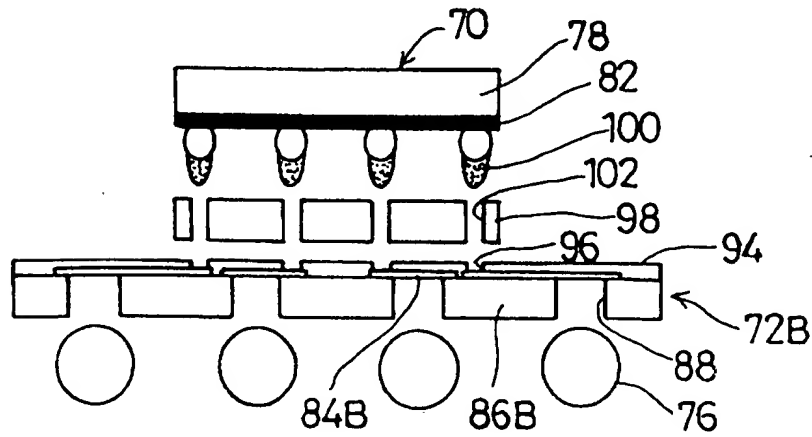
【図39】

本発明の第7実施例である半導体装置の製造方法を説明するための図（その2）



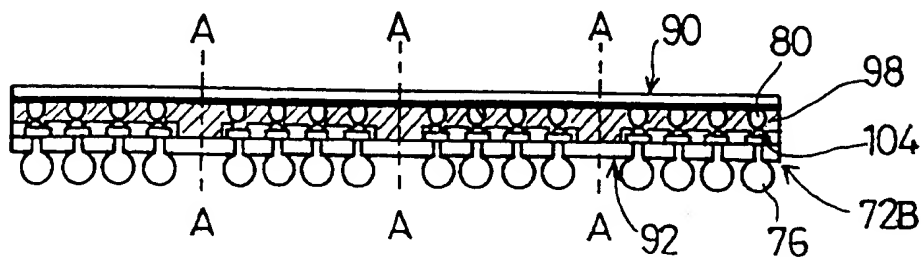
【図42】

本発明の第8実施例である半導体装置の製造方法を説明するための図



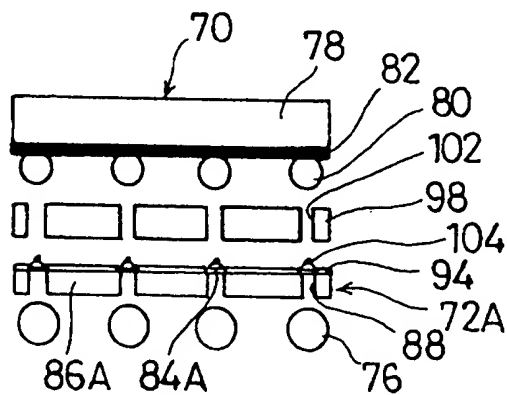
【図45】

本発明の第9実施例である半導体装置の製造方法  
を説明するための図(その2)



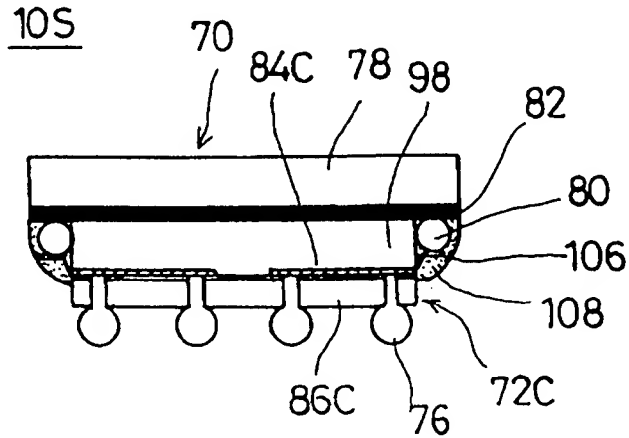
【図46】

本発明の第9実施例である半導体装置  
の製造方法を説明するための図(その3)



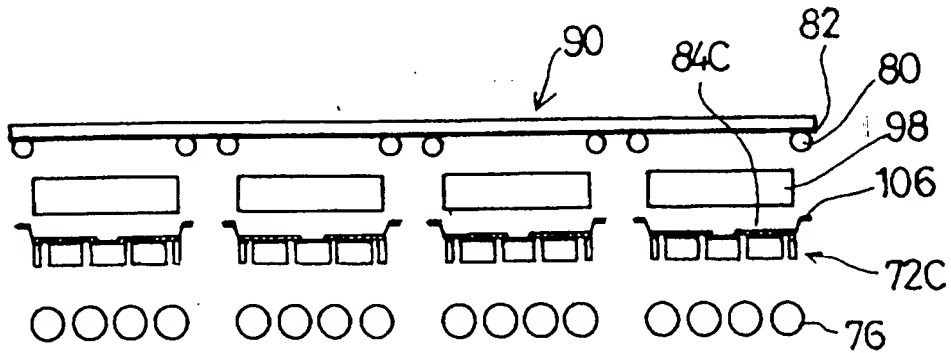
【図49】

本発明の第18実施例である半導体装置を説明するための図



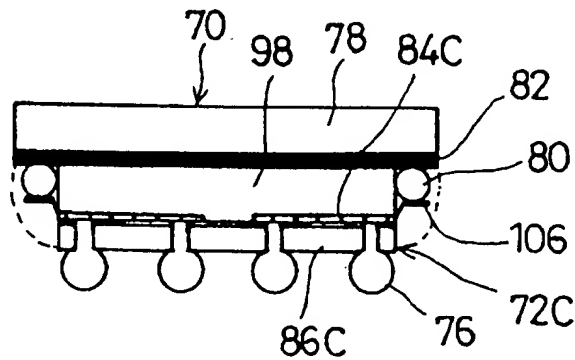
【図50】

本発明の第11実施例である半導体装置の製造方法を説明するための図（その1）



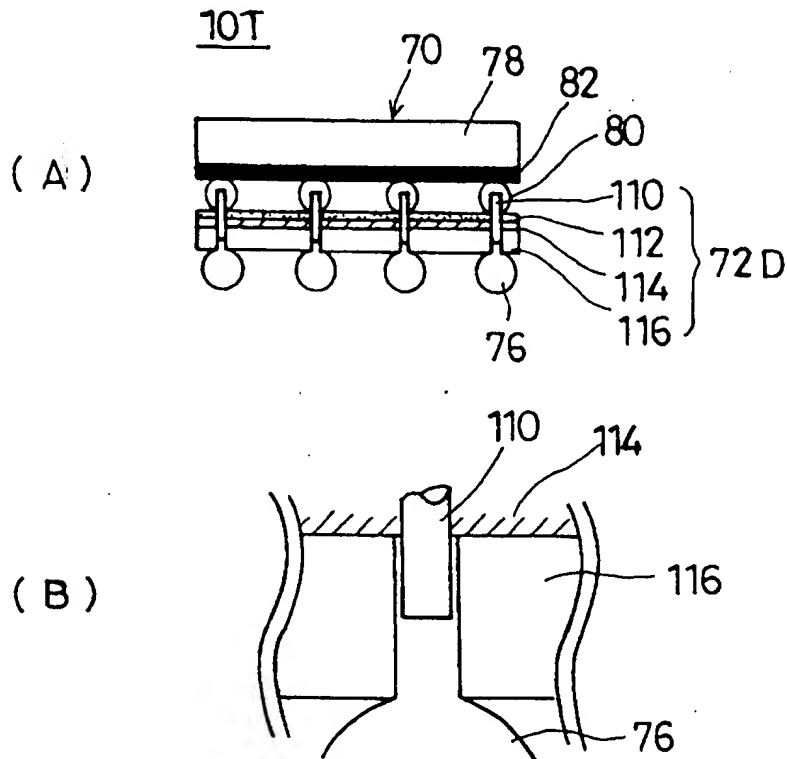
【図54】

本発明の第11実施例である半導体装置の製造方法を説明するための図（その5）



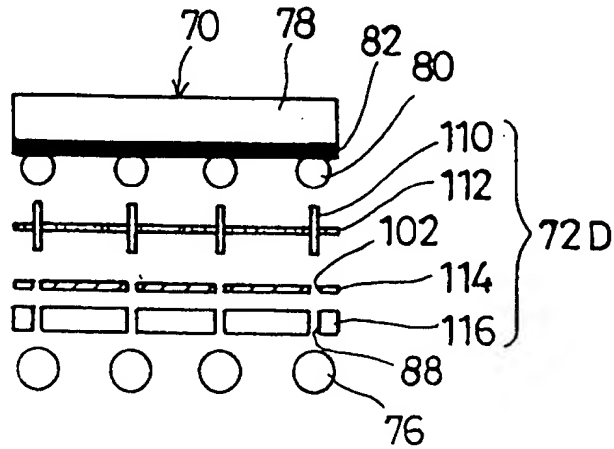
【図55】

本発明の第19実施例である半導体装置を説明するための図



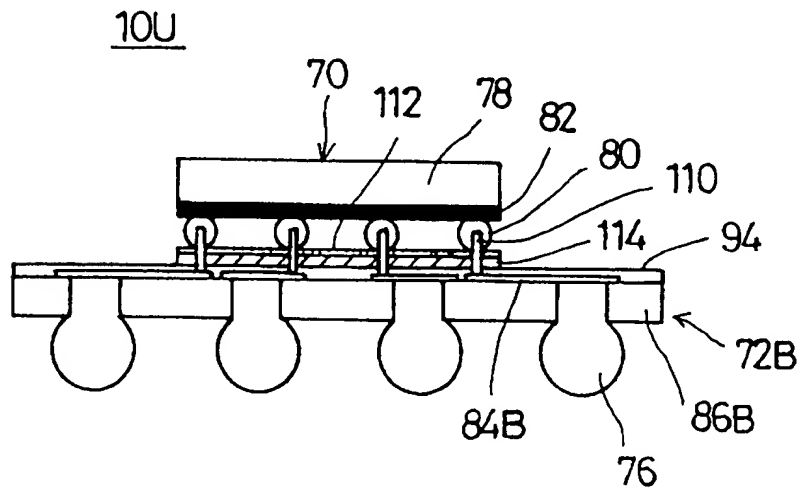
【図58】

本発明の第12実施例である半導体装置の製造方法  
を説明するための図（その3）



【図59】

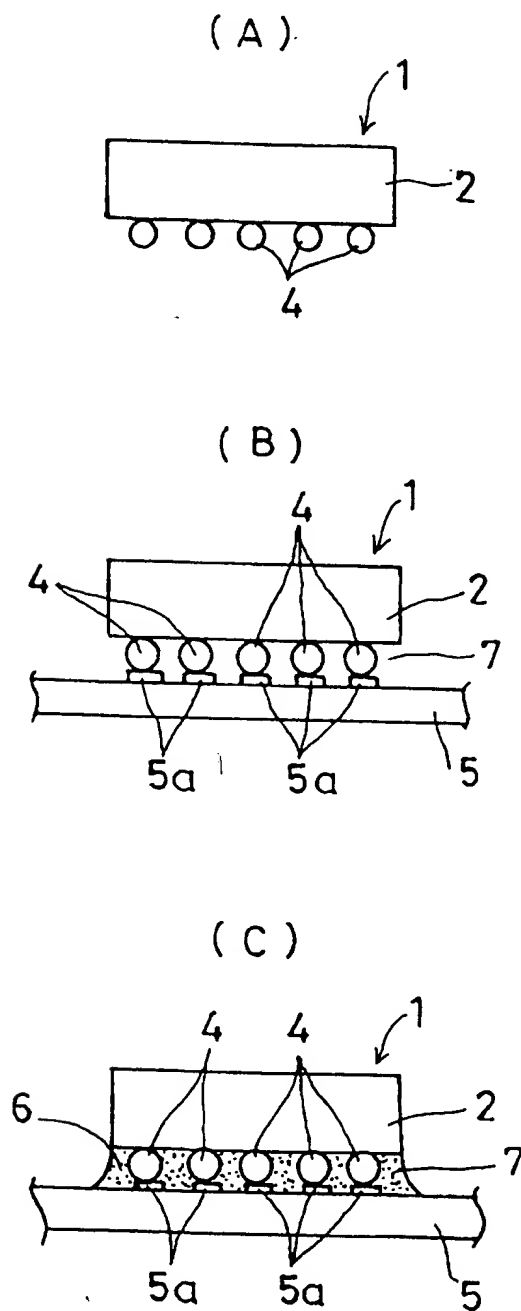
本発明の第20実施例である半導体装置を  
説明するための図





【図61】

従来の半導体装置の一例を説明する  
ための図



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005223  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号  
【氏名又は名称】 富士通株式会社

【代理人】 申請人

【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階  
【氏名又は名称】 伊東 忠彦